

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Norimitsu SAKO

Application No.: 09/515,504

Filed: February 29, 2000

Docket No.: 105393

For: CMOS IMAGE SENSOR HAVING BLOCK SCANNING CAPABILITY



CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 11-052457 filed on March 1, 1999

In support of this claim, a certified copy of said original foreign application:

 X is filed herewith.

 was filed on in Parent Application No. filed .

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Edward A. Brown
Registration No. 35,033

Date: May 2, 2000

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 3月 1日

出願番号
Application Number:

平成11年特許願第052457号

出願人
Applicant(s):

川崎製鉄株式会社

2000年 3月 3日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



【書類名】 特許願

【整理番号】 98J01579

【提出日】 平成11年 3月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/00

【発明者】

【住所又は居所】 東京都千代田区内幸町二丁目 2 番 3 号 川崎製鉄株式会
社 東京本社内

【氏名】 迫 則光

【特許出願人】

【識別番号】 000001258

【氏名又は名称】 川崎製鉄株式会社

【代理人】

【識別番号】 100080458

【弁理士】

【氏名又は名称】 高矢 諭

【選任した代理人】

【識別番号】 100076129

【弁理士】

【氏名又は名称】 松山 圭佑

【選任した代理人】

【識別番号】 100089015

【弁理士】

【氏名又は名称】 牧野 剛博

【手数料の表示】

【予納台帳番号】 006943

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9803081

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 CMOSイメージセンサ

【特許請求の範囲】

【請求項 1】

ピクセルセンサが2次元状に配列されたCMOSイメージセンサにおいて、
各ピクセルセンサ内で、リセットノイズを低減した、受光量の絶対値に対応する信号を得る手段と、

該信号を、ブロックスキャンの順に出力する手段と、
を備えたことを特徴とするCMOSイメージセンサ。

【請求項 2】

フォトダイオードを信号検出ノードとするピクセルセンサにおいて、
前記フォトダイオードをリセットするためのトランジスタのゲートが、当該ピクセルセンサ選択時にのみフォトダイオードリセット信号を通過させるための、
一対のパストランジスタを含むことを特徴とする、CMOSイメージセンサ用のピクセルセンサ。

【請求項 3】

請求項 2 に記載のピクセルセンサが2次元状に配列され、
前記フォトダイオードリセット信号が、列ブロック選択信号と、ピクセルリセット信号の論理積とされていることを特徴とするCMOSイメージセンサ。

【請求項 4】

浮動拡散を信号検出ノードとするピクセルセンサにおいて、フォトダイオードをリセットするためのトランジスタのゲートが、当該ピクセルセンサ選択時にのみトランスファ信号を通過させるための、一対のパストランジスタを含むことを特徴とする、CMOSイメージセンサ用のピクセルセンサ。

【請求項 5】

請求項 4 に記載のピクセルセンサが2次元状に配列され、
前記トランスファ信号が、列ブロック選択信号と、ピクセルトランスファ信号の論理積とされていることを特徴とするCMOSイメージセンサ。

【請求項 6】

フォトゲート方式のピクセルセンサが2次元状に配列されたCMOSイメージセンサにおいて、

当該行選択時にのみ、信号電荷を移動するためのフォトゲート制御信号を通過させる一対のパストランジスタと、

当該列ブロック選択時にのみ、信号電荷の移動を許可するピクセルトランスファ信号を通過させる一対のパストランジスタと、

を備えたことを特徴とするCMOSイメージセンサ。

【請求項7】

請求項6において、前記フォトゲート制御信号が立ち上がる前に、前記ピクセルトランスファ信号が立ち下がるようにされていることを特徴とするCMOSイメージセンサ。

【請求項8】

請求項2、4又は6に記載のピクセルセンサの出力を、ブロック1行分の読み出し回路に選択的に接続する手段を備えたことを特徴とするCMOSイメージセンサ。

【請求項9】

請求項1、3、5乃至8のいずれかに記載のCMOSイメージセンサと、
該CMOSイメージセンサの画面の中心付近と周辺付近の数ブロックを読み出して、全体の輝度を推定する手段と、

推定された輝度に応じてゲインが自動設定されるプログラマブルゲインアンプと、

を備えたことを特徴とする、CMOSイメージセンサを用いた自動輝度調整カメラ。

【請求項10】

請求項1、3、5乃至8のいずれかに記載のCMOSイメージセンサと、
該CMOSイメージセンサの画面の中心付近と周辺付近の数ブロックを読み出して、大きな変化の有無を検出する手段と、

大きな変化が検出された時に画面全体を連続的に撮影する手段と、

を備えたことを特徴とする、CMOSイメージセンサを用いた監視カメラ。

【請求項 1 1】

請求項 1、3、5 乃至 8 のいずれかに記載の CMOS イメージセンサと、
該 CMOS イメージセンサの画面の中心付近の数ブロックを読み出して、焦点合わせを行う手段と、
焦点合わせを行ってから画面全体を取り込む手段と、
を備えたことを特徴とする、CMOS イメージセンサを用いた自動焦点調節カメラ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、CMOS イメージセンサに係り、特に、ブロックスキャンされたデータが出力され、その後の処理のための前処理が不要な CMOS イメージセンサに関する。

【0 0 0 2】

【従来の技術】

CCD 等の撮像素子を用いた画像システムは、素子の制約から、図 1 に示すラスタスキャンが用いられている。

【0 0 0 3】

一方、静止画を圧縮するための一般的な規格である JPEG 規格や、動画を圧縮するための一般的な規格である MPEG 規格で用いる離散コサイン変換 (DCT) は、8 行×8 列のピクセルを単位 (ブロック) として処理を行う。そのため、全てのピクセルのデータを、大容量のフレームメモリに取り込んでから、図 2 のブロックスキャンを行うのが一般的である。

【0 0 0 4】

一方近年、CCD イメージセンサに代わる撮像素子として、CMOS イメージセンサが着目されている。

【0 0 0 5】

例えば、“CMOS Active Pixel Image Sensors for Highly Integrated Imaging Systems” Sunetra K. Mendis 他, Journal of Solid-State Circuits

、Vol.32, No.2, Feb.1997, P187-197（以下、英語文献と称する）には、図3（回路図）及び図4（タイミングチャート）に示すような、トランスファゲートTXによって分離された浮動拡散（Floating Diffusion、FDとも略する）出力FDを備えたフォトゲートPGが開示されている。このピクセルセンサは、更に、リセットトランジスタMRと、ピクセル内ソースフォロウMIN、及び、列選択トランジスタMXを含んでいる。

【0006】

同じ行のピクセルについて共通な読出し回路は、第1のソースフォロウの負荷トランジスタMLNと、信号電位及びリセット電位を記憶するための2つのサンプルホールド回路を含んでいる。ピクセルセンサ及び読出し回路のランダムノイズや固定パターンノイズを低減するために、ノイズの大きさに時間的な相関が強い短時間に、ノイズを含むリセット電位と同じノイズを含む信号電位とをそれぞれサンプリングし、信号電位からリセット電位を差引く、相関二重サンプリングが有効であり、ピクセルの浮動拡散ノードから、リセットノイズ、 $1/f$ ノイズ及びピクセル内ソースフォロウからの閾値変動を抑制することができる。

【0007】

各サンプルホールド回路は、サンプルホールドスイッチMSHS、MSHR、容量CS、CR、及び、容量電位をバッファして高容量の水平バスを高速で読み出すための行ソースフォロウMP1、MP2と、行選択トランジスタMY1、MY2を備えている。行ソースフォロウの負荷トランジスタMLP1、MLP2は、ピクセルの全アレイに関して共通である。ピクセル内のNチャネルソースフォロウによる信号電位の変化を補償するため、行回路ではPチャネルソースフォロウが用いられている。

【0008】

このCMOSイメージセンサにおける動作は図5に示す如くである。即ち、まず、電源電圧VDD及びVSSをそれぞれ5V及び0Vにセットし、トランスファゲートTXを2.5Vにバイアスする。ピクセル内ソースフォロウ及び行ソースフォロウの負荷トランジスタMLN、MLP1、MLP2は、それぞれ1.5V及び2.5Vに直流バイアスされる。

【0009】

図5(a)に示す信号蓄積期間において、光によって発生された電子は、5Vにバイアスされた表面チャネルフォトゲートPGに集められる。ここで、リセットトランジスタMRは2.5Vにバイアスされ、過剰な信号電荷がリセットドレインに流れるように、横方向ブルーミング防止(lateral antiblooming)ドレインとして作用する。列選択トランジスタMXは0Vにバイアスされている。信号蓄積後、ピクセルの全列が同時に読み出される。

【0010】

具体的には、まず、読み出される列内のピクセルが、列選択スイッチMXをオンとすることによってアドレスされる。次いで、図5(b)に示す如く、ピクセルの浮動拡散出力ノードFDが、リセットゲートMRを一時的に5Vとすることによってリセットされる。これにより、浮動拡散出力FDは、約3.5Vにリセットされる。

【0011】

第1のソースフォロウの出力が、サンプルホールドスイッチMSHRをオンとすることによって、最下行の容量CR上にサンプリングされる。次いで、図5(c)に示す如く、PGのポテンシャル井戸の底を一時的に持ち上げて、光電流による蓄積電荷をFDに転送する。次いで、図5(d)に示す如く、サンプルホールドスイッチMSHSをオンとすることによって、FDの信号電位が、読出し回路の容量CSに保持される。

【0012】

保持されたりセット電位及び信号電位が、行選択スイッチMY1、MY2によって、ソースフォロウの2組目を通して順次読み出される。

【0013】

最後に、FDリセット信号Rとトランスファ信号TXとを一時的にオンとし、フォトダイオードをリセットして、再び光の取り込みを行う。

【0014】

又、「アナログ2次元DCT回路と精度適応A/D変換器に基づく画像圧縮CMOSイメージセンサ」川人祥二他、映像メディア学会誌V o 1. 52、N o.

2、pp206-213(1998)には、アナログ2次元DCT回路を集積化して、センサ上で画像圧縮を行うようにしたCMOSイメージセンサにおいて、図6に示す如く、ピクセルセンサ10のフォトダイオードPDと直列に2個のバストランジスタ T_v 、 T_h を設け、一方(T_v)を、行(垂直)ブロックスキャナ V_s から出力される行ブロック選択信号 V_{scan} で選択し、他方(T_h)を、列(水平)スキャナ V_h から出力される列選択信号 H_{scan} で列毎に選択することにより、8ピクセルをアドレッシングするようにして、ブロック単位で信号を読み出し、アナログ領域で直接2次元DCT処理を行うことが記載されている。

【0015】

周辺回路には、行ブロックで選択される直列のバストランジスタ(カップリングトランジスタ)群 T_c があり、受光部を構成するフォトダイオードPDの信号電荷は、合計3個のバストランジスタ T_v 、 T_h 、 T_c を通過して、スイッチトキャパシタ回路を用いた読出し回路SCCの2段のアンプ A_1 、 A_2 の帰還容量 C_{f1} 、 C_{f2} に順次移動される。

【0016】

この読出し回路SCCの出力は、更に、2次元DCT回路(図示省略)でアナログ演算された後に、A/D変換される。

【0017】

図6において、ISAはイメージセンサアレイである。

【0018】

【発明が解決しようとする課題】

しかしながら、前者の従来技術では、ブロック読出しがでない。一方、後者の従来技術では、フォトダイオードをリセットできないので、大きなランダムノイズがある。又、ピクセルセンサ10内で信号電位が増幅されていないので、3段のバストランジスタの $1/f$ ノイズや、周辺回路までの長い配線によるカップリングノイズを除去できない。更に、2次元DCT演算した後のアナログデータしかないので、色補正や動き検出などができない等の問題点を有していた。

【0019】

本発明は、前記従来の問題点を解消するべくなされたもので、ランダムノイズ

が低減され、ブロックスキャンされたデータが出力され、従って、ラスタスキャンに必要な大容量のフレームメモリやブロックスキャン回路が不要なCMOSイメージセンサを提供することを課題とする。

【0020】

【課題を解決するための手段】

本発明は、ピクセルセンサが2次元状に配列されたCMOSイメージセンサにおいて、各ピクセルセンサ内で、リセットノイズを低減した、受光量の絶対値に対応する信号を得る手段と、該信号を、ブロックスキャンの順に出力する手段とを備えることにより、前記課題を解決したものである。

【0021】

又、フォトダイオードを信号検出ノードとするCMOSイメージセンサ用のピクセルセンサにおいて、前記フォトダイオードをリセットするためのトランジスタのゲートが、当該ピクセルセンサ選択時にのみフォトダイオードリセット信号を通過させるための、一対のバストランジスタを含むようにしたものである。

【0022】

又、CMOSイメージセンサにおいて、前記ピクセルセンサを2次元状に配列し、前記フォトダイオードリセット信号を、列ブロック選択信号と、ピクセルリセット信号の論理積としたものである。

【0023】

又、浮動拡散を信号検出ノードとするCMOSイメージセンサ用のピクセルセンサにおいて、フォトダイオードをリセットするためのトランジスタのゲートが、当該ピクセルセンサ選択時にのみトランスファ信号を通過させるための、一対のバストランジスタを含むようにしたものである。

【0024】

又、CMOSイメージセンサにおいて、前記ピクセルセンサを2次元状に配列し、前記トランスファ信号を、列ブロック選択信号と、ピクセルトランスファ信号の論理積としたものである。

【0025】

又、フォトゲート方式のピクセルセンサが2次元状に配列されたCMOSイメ

ージセンサにおいて、当該行選択時にのみ、信号電荷を移動するためのフォトゲート制御信号を通過させる一対のバストランジスタと、当該列ブロック選択時にのみ、信号電荷の移動を許可するピクセルトランスファ信号を通過させる一対のバストランジスタとを備えたものである。

【0026】

又、前記フォトゲート制御信号が立ち上がる前に、前記ピクセルトランスファ信号が立ち下がるようにしたものである。

【0027】

又、前記ピクセルセンサの出力を、ブロック1行分の読出し回路に選択的に接続する手段を備えたものである。

【0028】

又、CMOSイメージセンサを用いた自動輝度調整カメラにおいて、前記CMOSイメージセンサと、該CMOSイメージセンサの画面の中心付近と周辺付近の数ブロックを読出して、全体の輝度を推定する手段と、推定された輝度に応じてゲインが自動設定されるプログラマブルゲインアンプとを備えたものである。

【0029】

又、CMOSイメージセンサを用いた監視カメラにおいて、前記CMOSイメージセンサと、該CMOSイメージセンサの画面の中心付近と周辺付近の数ブロックを読出して、大きな変化の有無を検出する手段と、大きな変化が検出された時に画面全体を連続的に撮影する手段とを備えたものである。

【0030】

又、CMOSイメージセンサを用いた自動焦点調節カメラにおいて、前記CMOSイメージセンサと、該CMOSイメージセンサの画面の中心付近の数ブロックを読出して、焦点合わせを行う手段と、焦点合わせを行ってから画面全体を取り込む手段とを備えたものである。

【0031】

本発明においては、ピクセルセンサ内でリセットでき、且つ、信号電位を増幅できるようにする。この際、ブロックスキャンを可能とするために、リセット動作やトランスファ動作等が、他のピクセルセンサに影響を与えないようにする。

【0032】

又、(例えば8行×8列)ブロックのピクセルセンサの出力電位を、ブロックスキップの順にアナログで出力し、例えばプログラマブルゲインアンプ(PGA)やA/Dコンバータを通して、デジタルデータに変換する。

【0033】

更に、ピクセルセンサの方式に合わせて、その構成(サイズ)を最小化し、周辺回路と最適に分担した回路とする。

【0034】

【発明の実施の形態】

以下図面を参照して、本発明の実施形態を詳細に説明する。

【0035】

回路設計及びレイアウト設計において、エリアセンサの単位となるピクセルセンサに要求される一般的な条件は、次のとおりである。

- (1) 量子効率、その重要な要素である開口率を大きくする。
- (2) CMOSで特に問題となるランダムノイズを低減できるようにする。
- (3) 2次元のアレイ状に多数配列されるので、サイズをできるだけ小さくする。
- (4) そのため、単一のウェルと単一のトランジスタタイプを使用する。
- (5) トランジスタ等の余分な素子数をできるだけ少なくする。
- (6) ピクセルセンサへの配線数はできるだけ少なくする。
- (7) 変則的な配列は空間的な歪みをもたらすので、アレイの周辺部は除き、各ピクセルセンサの受光部を、上下左右に等間隔に並べられるレイアウト構造とする。

【0036】

更に、ブロックスキップを可能にするためにピクセルセンサに要求される条件は、次のとおりである。

- (8) 選択されていないブロックのピクセルセンサの信号電荷が、アドレス選択信号、リセット信号、トランスファ信号等に影響されない。
- (9) 選択されたブロックでも、アドレス選択信号がアクティブでないピクセル

センサの信号電荷は、リセット信号やトランスファ信号等に影響されない。

【 0 0 3 7 】

又、ブロックスキャンを可能にするために周辺回路に要求される条件は、次のとおりである。

(1) ブロックの 1 行 (例えば 8 ピクセル) 毎に並列出力となるので、列を選択する列ブロック選択信号を設け、行を選択するアドレス選択信号との交差点のピクセルセンサだけを制御できるようにする。

(2) アレイ状に配列されたピクセルセンサの各行 (各列) を横断 (縦断) する信号線は、各ピクセルセンサで共通とする。

(3) ピクセルセンサは、必要最小限の素子構成とし、周辺回路で制御できるようにする。

【 0 0 3 8 】

フォトダイオードを信号検出ノードとして、ソースフォロワの出力トランジスタ MIN のゲートに接続する場合のピクセルセンサに適用した、本発明に係る第 1 実施形態のピクセルセンサの構成及びポテンシャルイメージを図 7 に、その全体回路を図 8 に示す。図 7 において、B はベース電荷、C は今回分の電荷、P O はピクセルセンサ出力である。

【 0 0 3 9 】

図 7 のピクセルセンサは、P ウェルを用いて NMOS トランジスタで構成した例であるが、N ウェルを用いて PMOS トランジスタで構成できることも自明である。

【 0 0 4 0 】

図 8 は、m 行 × n 列のピクセルセンサを配列したイメージセンサ 4 0 を含む例であり、! X は X の反転信号である。

【 0 0 4 1 】

図 7 において、フォトダイオード PD をリセットするトランジスタのゲート PDG には、本発明に係る一対のバストランジスタ T 1、T 2 により、図 8 に示した行デコーダ 5 0 から供給されるピクセルセンサ選択信号 X がアクティブ「H」のときだけ、フォトダイオードリセット信号 PDR が供給される。ピクセルセン

サ選択信号Xは、行デコーダ50から出力されるアドレス選択信号に接続されており、1行分のピクセルセンサを選択する。一方、ピクセルセンサ選択信号Xが非アクティブ「L」の場合は、フォトダイオードPDをリセットするトランジスタのゲートPDGは「L」になるので、ピクセルセンサはリセットされない。

【0042】

前記フォトダイオードリセット信号PDRは、ANDゲートG1～Gk（ここで $k = n/8$ ）により、列ブロックデコーダ52から出力される列ブロック選択信号B1～Bkと、ピクセルリセット信号PXrstの論理積が取られた信号である。従って、ピクセルセンサ選択信号Xがアクティブな行のピクセルセンサであっても、選択されていない列ブロックのピクセルセンサはリセットされない。

【0043】

なお、ANDゲートG1～Gkは、NANDゲートで構成してもよい。

【0044】

1行目（例えば8ピクセル）の読出しが終了したら、ブロック選択信号はそのまま、次の行のアドレス選択信号をアクティブにして、読出しを続ける。最後のm行目の読出しが終了したら、次のブロック選択信号をアクティブにし、1行目に戻る。これらの全体制御は、タイミング／制御回路60から行うが、種々のブロックスキャン方法が可能である。例えば、最初のブロックの読出しが終了したら、次のブロック選択信号をアクティブにし、1行目に戻ってもよい。kブロックの読出しが終了したら、1ブロックに戻り、8行目から読出しを続ける。

【0045】

図8において、54は列デコーダ、56は読出し回路／セレクタ、62はプログラマブルゲインアンプ（PGA）／ADコンバータである。

【0046】

なお、図8の回路では、水平方向に列ブロックデコーダ52、垂直方向に行デコーダ50を置いているが、逆にしてもよい。又、8行×8列のブロックでなくともよく、例えば16行×16列等でもよい。

【0047】

次に、FDを信号検出ノードとして、ソースフォロワの出力トランジスタMI

Nのゲートに接続する場合のピクセルセンサに適用した、本発明に係る第2実施形態のピクセルセンサの構成及びポテンシャルイメージを図9に、その全体回路を図10に示す。図9において、Pは、前回分に比例する転送残電荷である。

【0048】

図9のピクセルセンサは、Pウェルを用いてNMOSトランジスタで構成した例であるが、Nウェルを用いてPMOSトランジスタで構成できることも自明である。

【0049】

FDのジャンクション容量はフォトダイオードのジャンクション容量より小さいので、第1実施形態よりも検出感度を高くできる。

【0050】

本実施形態において、フォトダイオードPDの信号電荷を移動するトランジスタのゲートTXGには、パストランジスタT1、T2により、ピクセルセンサ選択信号Xがアクティブ「H」のときだけ、トランスファ信号TXが供給される。ピクセルセンサ選択信号Xは、図10に示したように、行デコーダ50から出力されるアドレス選択信号に接続されており、1行分のピクセルセンサを選択する。ピクセルセンサ選択信号Xが非アクティブ「L」の場合は、フォトダイオードの信号電荷を移動するトランジスタのゲートTXGは「0」になるので、ピクセルセンサの信号電荷は移動されない。

【0051】

前記トランスファ信号TXは、ANDゲートG1～Gkにより、列ブロックデコーダ52から出力される列ブロック選択信号B1～Bkとピクセルトランスファ信号PXtxfrとの論理積が取られた信号である。従って、ピクセルセンサ選択信号Xがアクティブな行のピクセルセンサであっても、選択されていない列ブロックのピクセルセンサの信号電荷は移動されない。

【0052】

なお、図10では、ピクセルリセット信号PXrstが水平方向に配線されているが、垂直方向でも構わない。このピクセルリセット信号PXrstとアドレス選択信号との論理積を取って水平方向に配線すれば、選択されていない行のFDリ

セット信号FDRはスイッチングしないので、ノイズと消費電力が少なく、好ましい。

【0053】

次に、フォトゲート方式の、従来と同様のピクセルセンサの構成及びポテンシャルイメージを図11に、該ピクセルセンサを含む本発明の第3実施形態の全体回路を図12に示す。なお、図11では、ピクセルセンサを、Pウェルを用いてNMOSトランジスタで構成しているが、Nウェルを用いてPMOSトランジスタで構成してもよい。

【0054】

本実施形態は、ブロックスキャンを実現する周辺回路に特徴があり、図12に示した如く、行デコーダ50から出力されるピクセルセンサ選択信号Xを、当該行選択時にのみ通過させる一対のバストランジスタT1v、T2vと、当該列ブロック選択時にのみ、ピクセルトランスファ信号PXtxfrを通過させる一対のバストランジスタT1h、T2hを備えたことを特徴とする。

【0055】

本実施形態において、ピクセルセンサ選択信号Xは、行デコーダ50から出力されるアドレス選択信号に接続されており、1行分のピクセルセンサを選択する。フォトゲート制御信号PGには、アドレス選択信号がアクティブ「H」のときに、バイアス電圧Vbiasが供給され、信号電荷を移動する。一方、アドレス選択信号が非アクティブ「L」のときには、電源電圧VDDが供給されるので、ピクセルセンサの信号電荷は移動されない。ここで、バイアス電圧Vbiasは、グラウンドGNDと電源電圧VDDとの間の適当な電位とされている。

【0056】

一方、トランスファ信号TXは、列ブロックデコーダ52から出力される列ブロック選択信号B1～Bkがアクティブ「H」のときにピクセルトランスファ信号PXtxfrが供給され、信号電荷の移動を許可する。一方、列ブロック選択信号が非アクティブ「L」のときには、グラウンドGNDが供給されるので、信号電荷の移動はできない。従って、ピクセルセンサ選択信号Xがアクティブな行のピクセルセンサであっても、選択されていない列ブロックのピクセルセンサの信号電荷

は移動されない。

【0057】

ここで、選択されたピクセルセンサのフォトゲート制御信号PGとトランスファ信号TXとの間にはタイミング上の制約があり、図13に示す如く、フォトゲート制御信号PGがバイアス電圧Vbiasから電源電圧VDDに立ち上がる前に、トランスファ信号TXが電源電圧VDDからグランドGNDに下がらなければならない。これは、FDに移動した信号電荷が、再びフォトゲートに戻るのを防ぐためである。一方、フォトゲートPGの下がりエッジとトランスファ信号TXの上がりエッジとのタイミングは重要ではない。

【0058】

なお、図12の回路では、フォトゲート制御信号PGとトランスファ信号TXを生成するのにNMOSとPMOSのバストランジスタを用いており、簡素な回路で好ましいが、これに限定されない。図14に示す機能を実現できれば、どのような回路でも同等である。

【0059】

又、図12の回路では、ピクセルリセット信号PXrstが、水平方向に配線されているが、垂直方向でも構わない。ピクセルリセット信号PXrstとアドレス選択信号とで論理積を取って水平方向に配線すれば、選択されていない行のFDリセット信号FDRはスイッチングしないので、ノイズと消費電力が少なく、好ましい。

【0060】

前記各実施形態に用いる読出し回路／セクタ56は、ピクセル数、分解能、動作速度、チップサイズ等のシステムの都合に合わせて、構成することができる。本発明との関連でいえば、8ピクセル分の処理の単位になるので、セクタの構成に特徴が出てくる。

【0061】

該読出し回路／セクタ56の構成例を図15に示す。この構成例は、読出し回路を8個RO1～RO8使用した、簡素な構成例である。読出し回路を全ての列に設けてもよいが、回路規模が大きくなるし、読出し回路間の誤差を補正する回

路（図示省略）が大きくなる。逆に、1個の読出し回路を切替えて使用することもできるが、ピクセルセンサ出力POを切替えてから安定するまで時間がかかり、高速動作ができない。又、PDリセット信号PDRやトランスファ信号TXを、列デコーダ54の出力との論理積を取る等の追加回路が必要になるので、8個の読出し回路で構成した場合より回路規模は大きくなる。

【0062】

なお、図15の回路では、ピクセルセンサ出力POから読出し回路までのスイッチSWが1段になっているが、並列に接続されるスイッチが多くてピクセルセンサ出力POの負荷が重い場合には、階層構造にすることができる。

【0063】

この読出し回路は、前記英語文献に記載された相関二重サンプリングを行って、ピクセルセンサ及び読出し回路のランダムノイズや固定パターンノイズを低減している。

【0064】

このようにして、CMOSイメージセンサをブロックスキャンすることにより、例えばDCTのための前処理が不要になり、フレームメモリ及びブロックスキャン回路の削減、高速動作の実現が可能となるだけでなく、次のようなシステム動作も可能になる。

【0065】

図16は、自動輝度調整カメラに適用した、本発明の第4実施形態であり、CMOSイメージセンサ40の画面の中心付近と周辺付近の数ブロックを読出して、全体の輝度を推定し、PGA62Aのゲインを自動設定することを特徴とする。

【0066】

図16において、62BはA/Dコンバータ、70は信号処理部、72は符号化／復号化部、74はメモリカード／データ入出力部、76は制御部、80は、レンズ38を駆動するためのレンズモータ（図示省略）を含む機構系、82は表示用の液晶ディスプレイ（LCD）である。

【0067】

本実施形態における自動輝度調整は、図 17 に示す如く、画面の中心付近と周辺付近の数ブロックにおける輝度データの最大値が、フルスケール内の適当な値になるように、PGA 62A におけるゲインの制御と電荷蓄積時間の調整を行う。

【0068】

本実施形態によれば、自動輝度調整を容易に行え、カメラの絞りを不要にできる。

【0069】

次に、図 18 を参照して、監視カメラに適用した本発明の第 5 実施形態を説明する。

【0070】

本実施形態は、CMOS イメージセンサ 40 の画面の中心付近と周辺付近の数ブロックを読出して、大きな変化が生じた時に画面全体の連続撮影をすることを特徴とする。

【0071】

図 18 において、90 は、前記 CMOS イメージセンサ 40 の画面の中心付近と周辺付近の数ブロックを読出して、その動きを検出することにより、大きな変化を検出するための動き検出部、92 はベースバンド信号処理部、94 は符号化部、96 は、録画／データ転送部である。

【0072】

本実施形態によれば、最小限のブロックだけを間欠的にチェックすることで、低消費電力の監視カメラを実現できる。

【0073】

次に、自動焦点調節カメラに適用した、本発明の第 6 実施形態を説明する。

【0074】

本実施形態は、図 16 に示した第 4 実施形態と同様の構成において、CMOS イメージセンサ 40 の画面の中心付近の数ブロックを読出して、焦点合わせをしてから、画面全体を取り込むようにしたことを特徴とする。

【0075】

本実施形態における自動焦点調節に際しては、図 1 9 に示す如く、画面の中心付近の数ブロックにおける輝度データの最大値と最小値の差が、最も大きくなるように、レンズモータでレンズ 3 8 の位置を調整する。

【 0 0 7 6 】

本実施形態によれば、短時間内に低消費電力で焦点合わせができ、無駄な動作と時間を削減できる。

【 0 0 7 7 】

【発明の効果】

本発明によれば、ブロックスキャンされたデータが出力されるので、D C T 等に必要な前処理回路が不要になり、且つ、高速で、容易に D C T 等を実行できる。又、J P E G 規格の場合、ラスタスキャンに必要な大容量のフレームメモリを不要にできる。更に、ピクセルセンサの絶対値が出力されるので、色補正、点欠陥補償、動き検出等の付加的な処理ができる。更に、各ピクセルセンサをリセットできるので、層間二重サンプリングによってランダムノイズを低減できる。

【図面の簡単な説明】

【図 1】

本発明の課題を説明するための、画像データのラスタスキャン方法を説明するための線図

【図 2】

同じく、画像データのブロックスキャン方法を説明するための線図

【図 3】

C M O S イメージセンサ及びその読出し回路の従来例の構成を示す回路図

【図 4】

前記従来例の動作を示すタイミングチャート

【図 5】

前記従来例の動作を説明するための、ポテンシャルイメージを示す線図

【図 6】

C M O S イメージセンサの他の従来例のセンサ部と読出し回路の構成を示す回路図

【図 7】

本発明の第 1 実施形態に係るフォトダイオード検出ノードのピクセルセンサの構成及びポテンシャルイメージを示す回路図

【図 8】

第 1 実施形態の全体回路を示す回路図

【図 9】

本発明の第 2 実施形態に係る浮動拡散検出ノードのピクセルセンサの構成及びポテンシャルイメージを示す回路図

【図 1 0】

第 2 実施形態の全体回路を示す回路図

【図 1 1】

本発明の第 3 実施形態に係るフォトゲート方式のピクセルセンサの構成及びポテンシャルイメージを示す回路図

【図 1 2】

第 3 実施形態の全体回路を示す回路図

【図 1 3】

第 3 実施形態におけるフォトゲート制御信号とトランスファ信号のタイミングを説明するための線図

【図 1 4】

同じくフォトゲート制御信号とトランスファ信号の生成方法を説明する回路図

【図 1 5】

前記各実施形態で使用可能な読出し回路／セレクタの構成例を示す回路図

【図 1 6】

自動輝度調整カメラに適用した本発明の第 4 実施形態の全体構成を示すブロック線図

【図 1 7】

第 4 実施形態の動作を説明するための線図

【図 1 8】

監視カメラに適用した本発明の第 5 実施形態の全体構成を示すブロック線図

【図 1 9】

自動焦点調節カメラに適用した本発明の第 6 実施形態の動作を説明するための
線図

【符号の説明】

1 0 … ピクセルセンサ

P D … フォトダイオード

P O … ピクセルセンサ出力

T v、T h、T c、T 1、T 2、T 1 v、T 2 v、T 1 h、T 2 h

… パストランジスタ

3 8 … レンズ

4 0 … C M O S イメージセンサ

X … ピクセルセンサ選択信号

5 0 … 行デコーダ

5 2 … 列ブロックデコーダ

5 4 … 列デコーダ

5 6 … 読出し回路／セレクタ

6 0 … タイミング／制御回路

6 2 … P G A ／ A D コンバータ

P X r s t … ピクセルリセット信号

T X … トランスファ信号

P X t x f r … ピクセルトランスファ信号

P D R … P D リセット信号

F D R … F D リセット信号

P G … フォトゲート制御信号

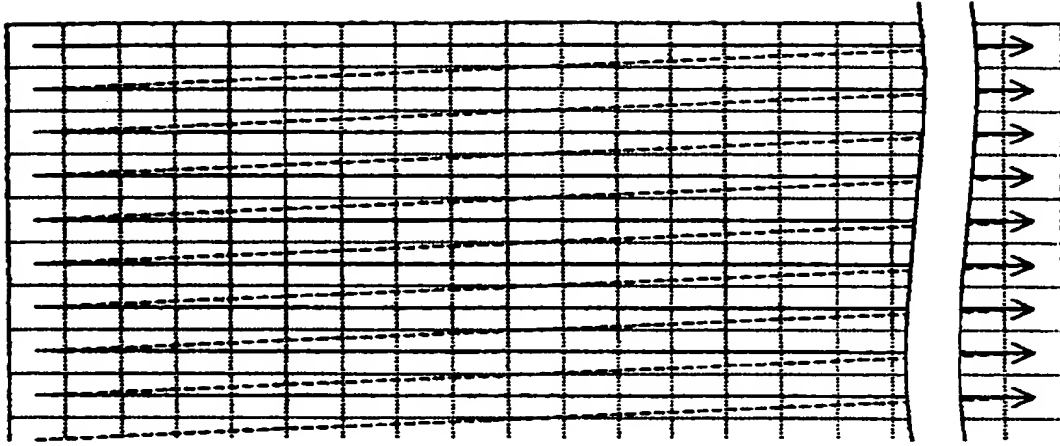
7 6 … 制御部

8 0 … 機構系

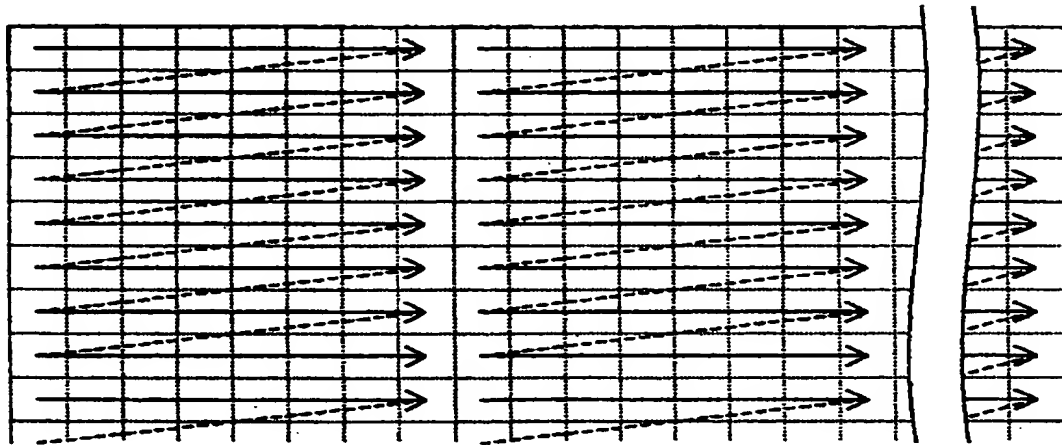
9 0 … 動き検出部

【書類名】 図面

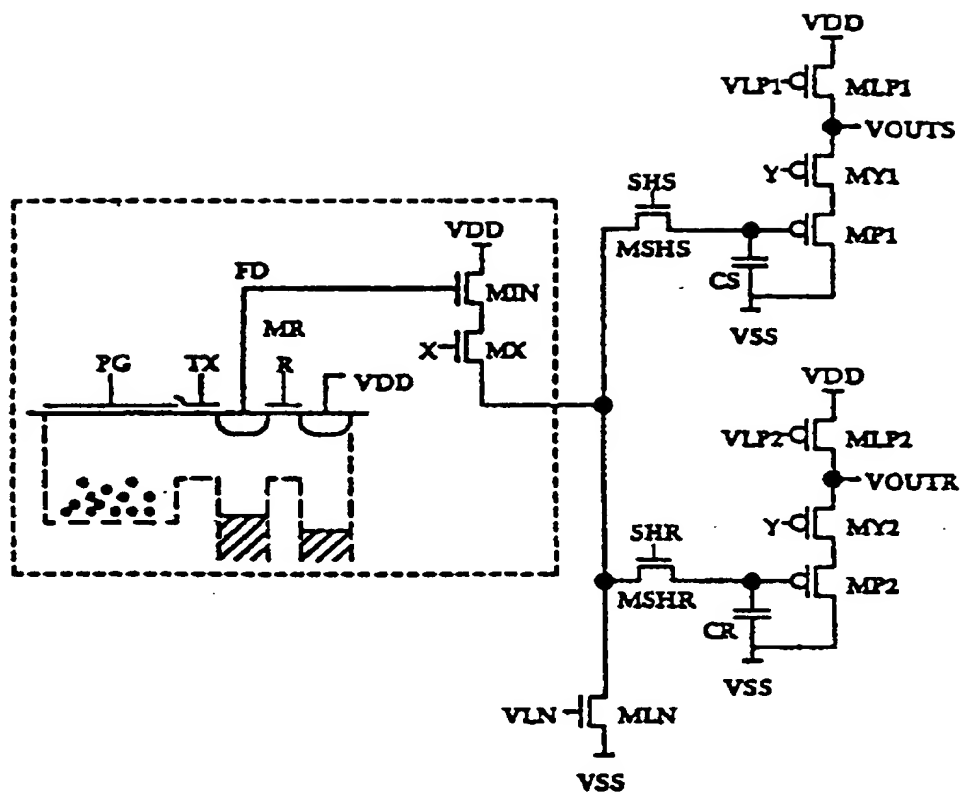
【図 1】



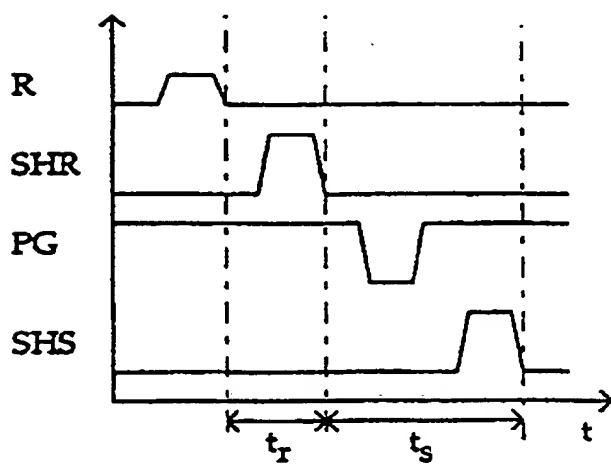
【図 2】



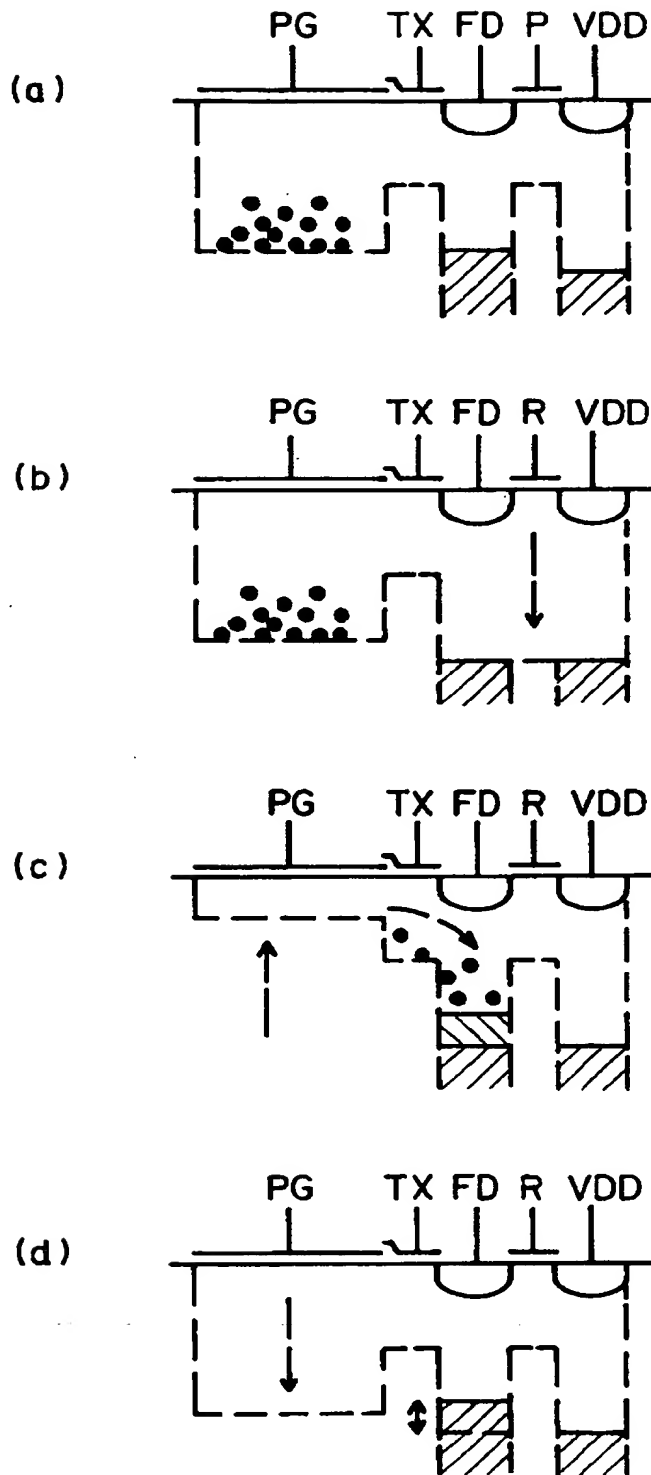
【図 3】



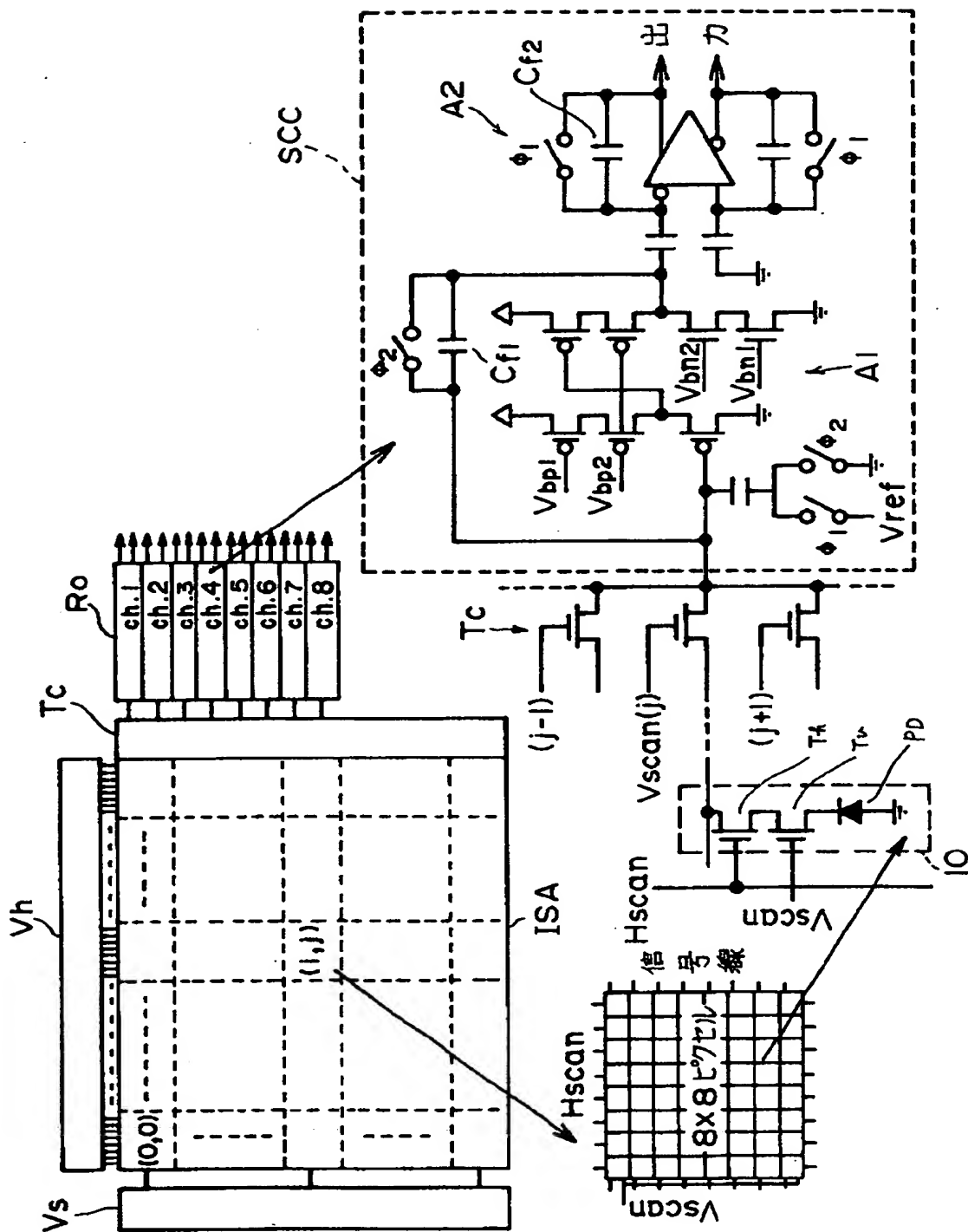
【図 4】



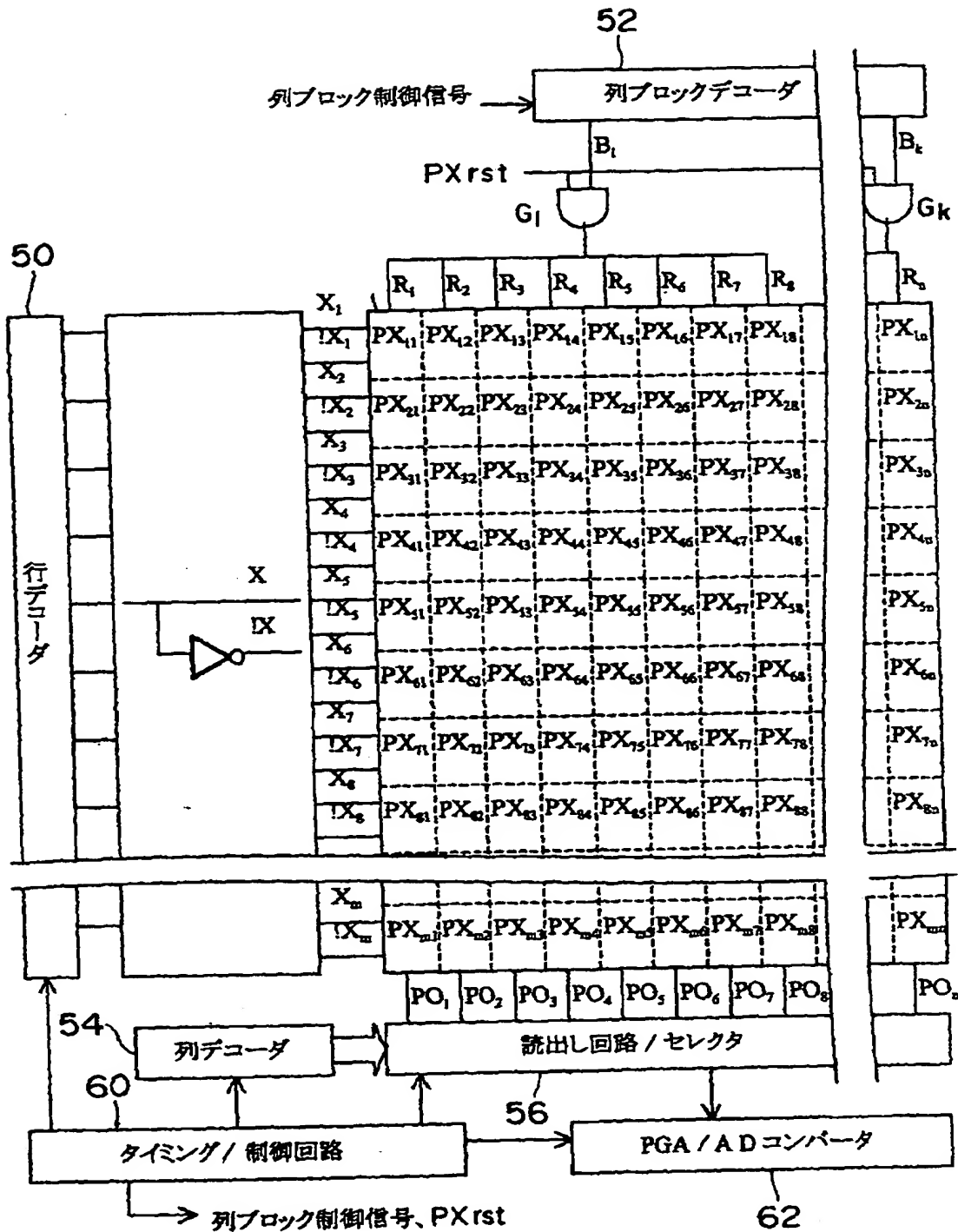
【図 5】



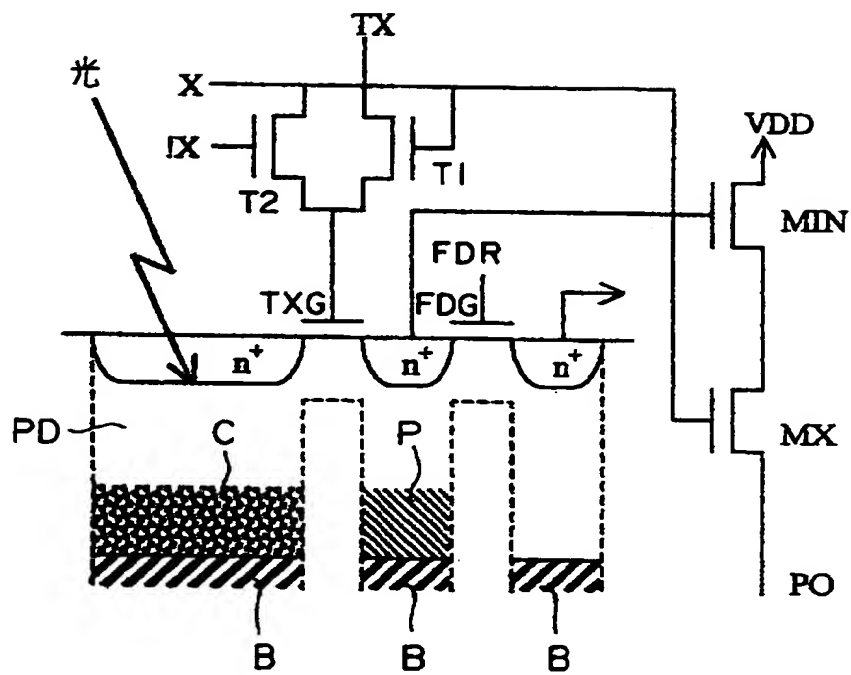
【図 6】



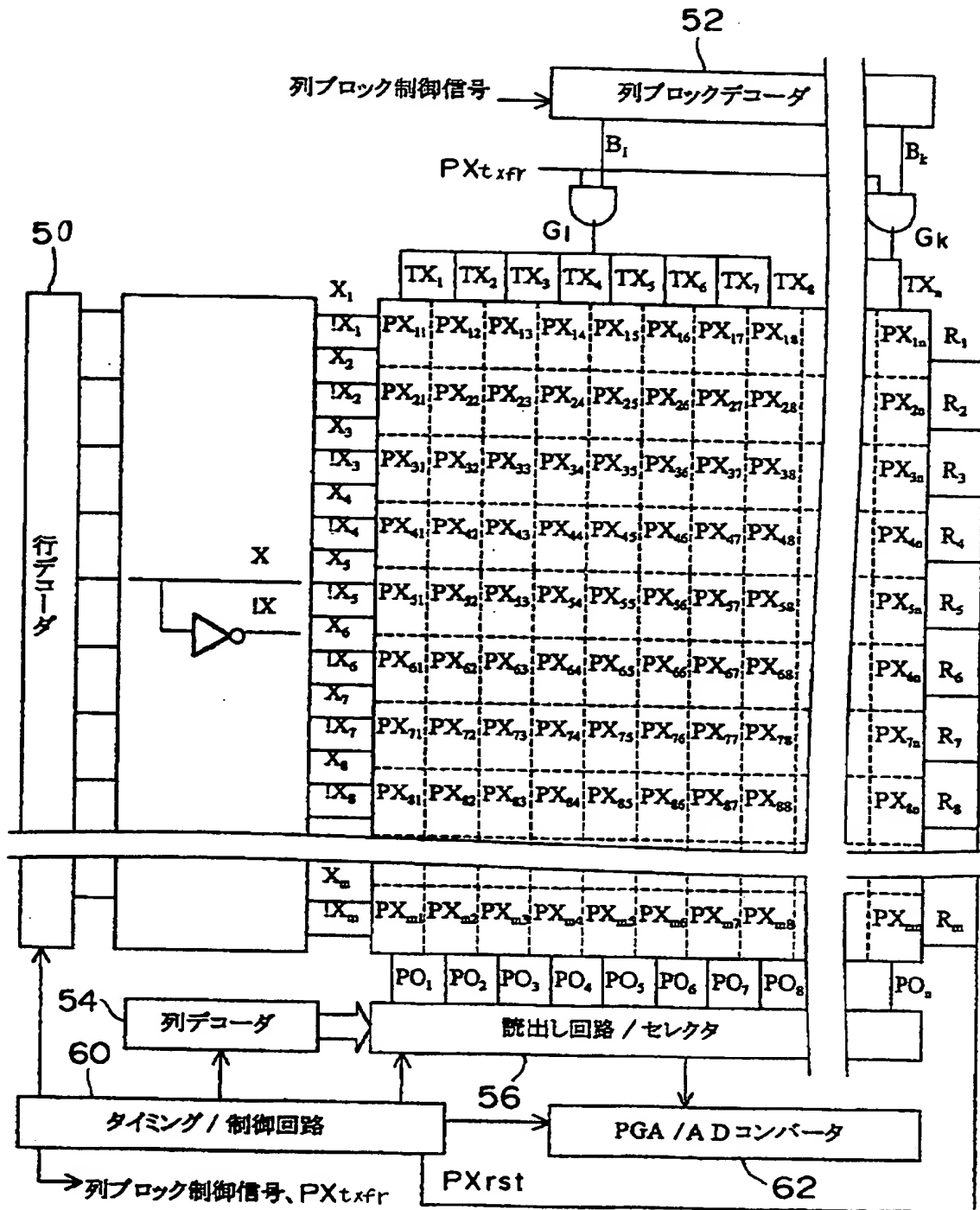
【図 8】



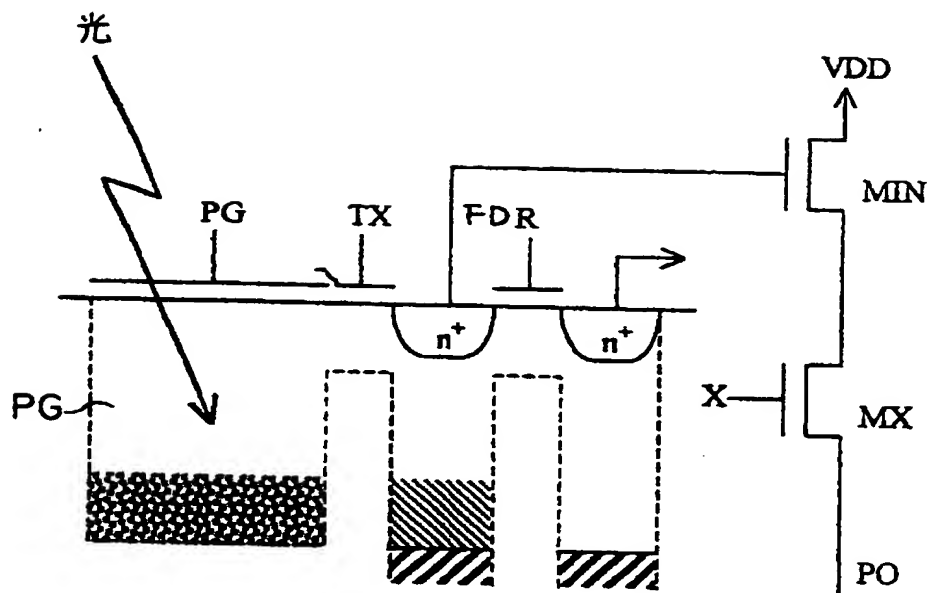
【図9】



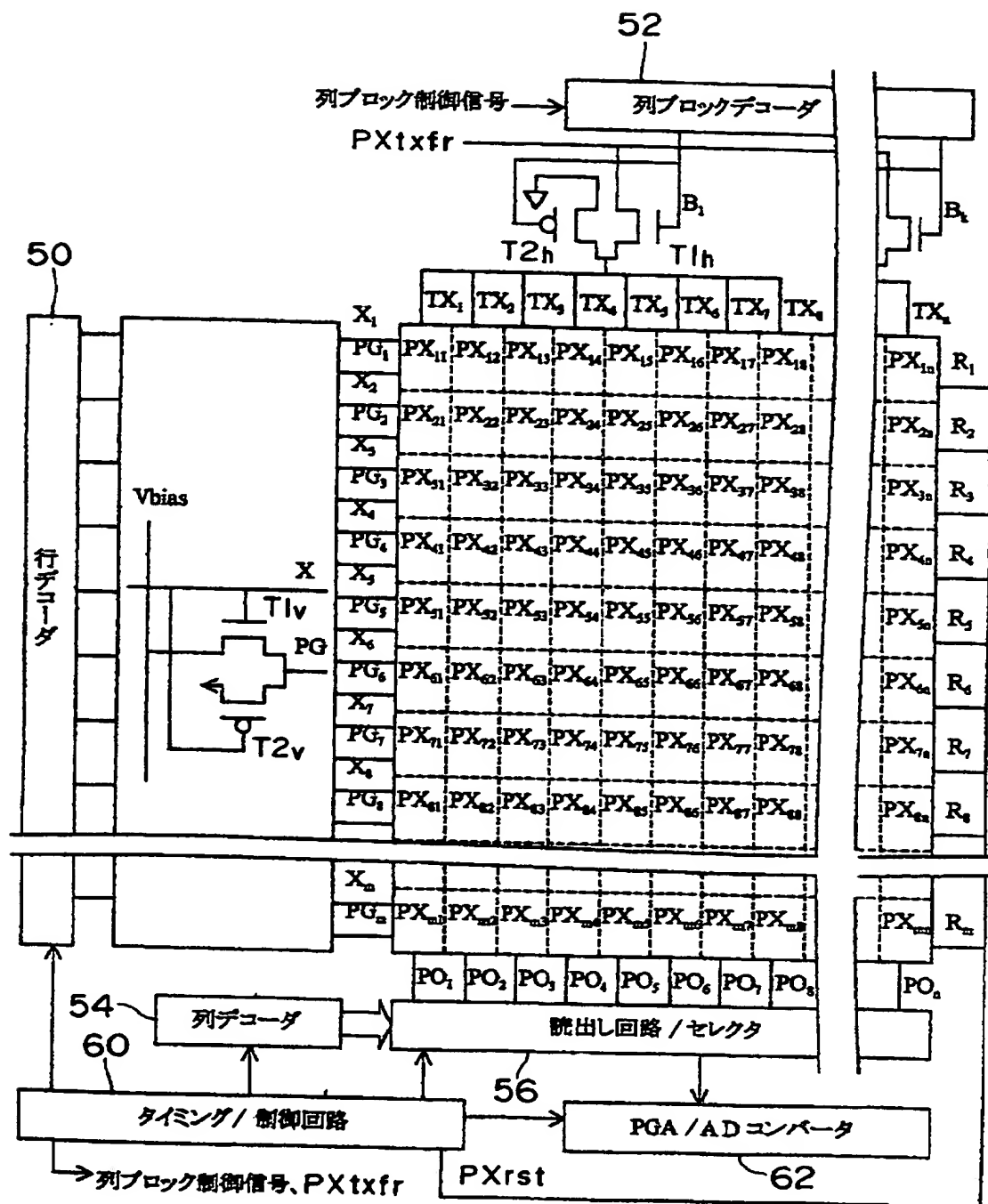
【図 10】



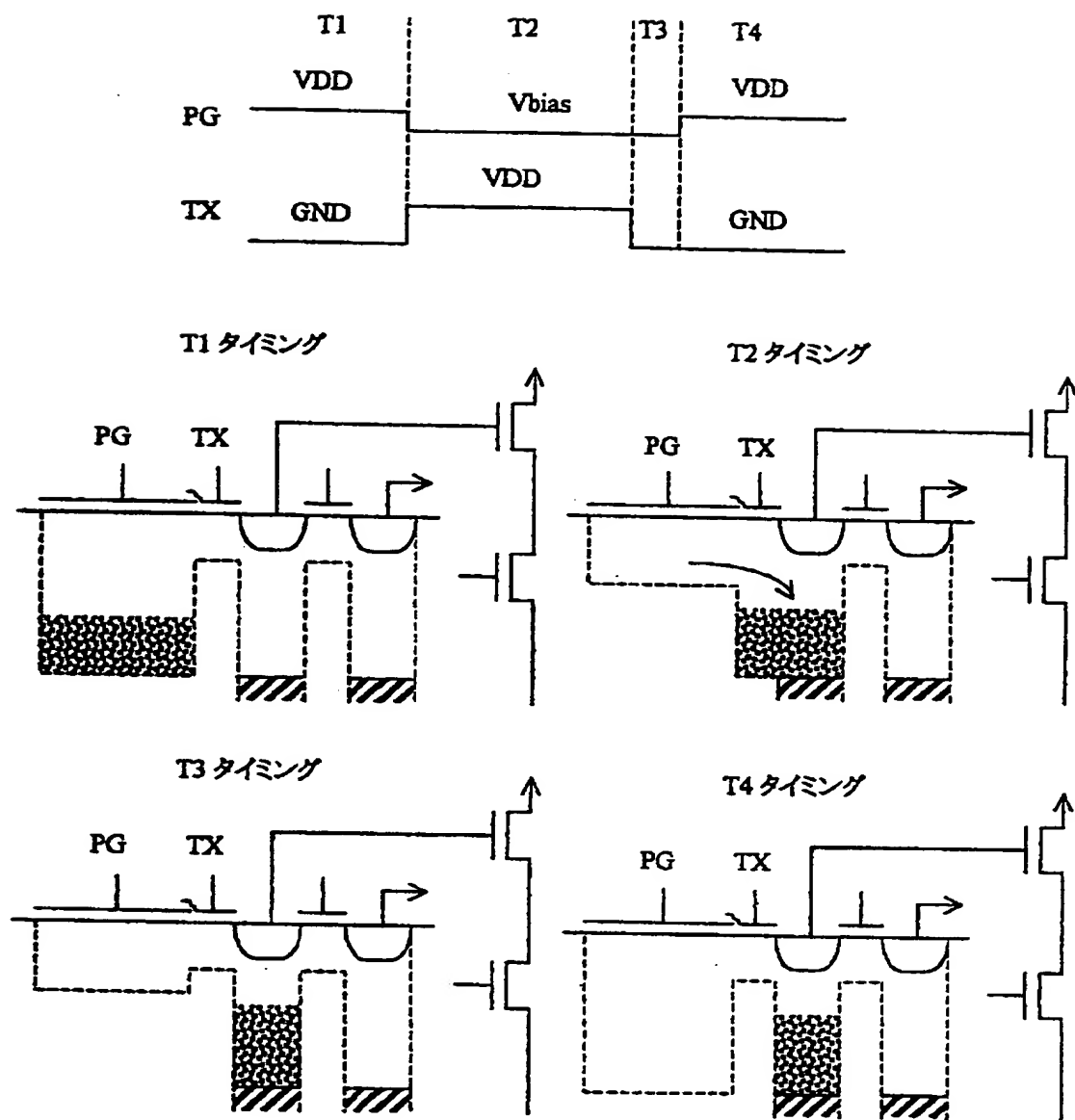
【図 11】



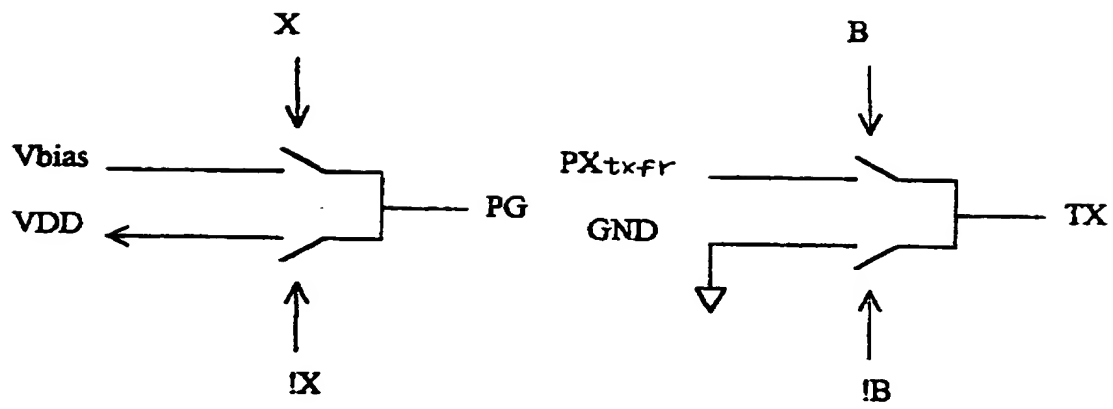
【図 1 2】



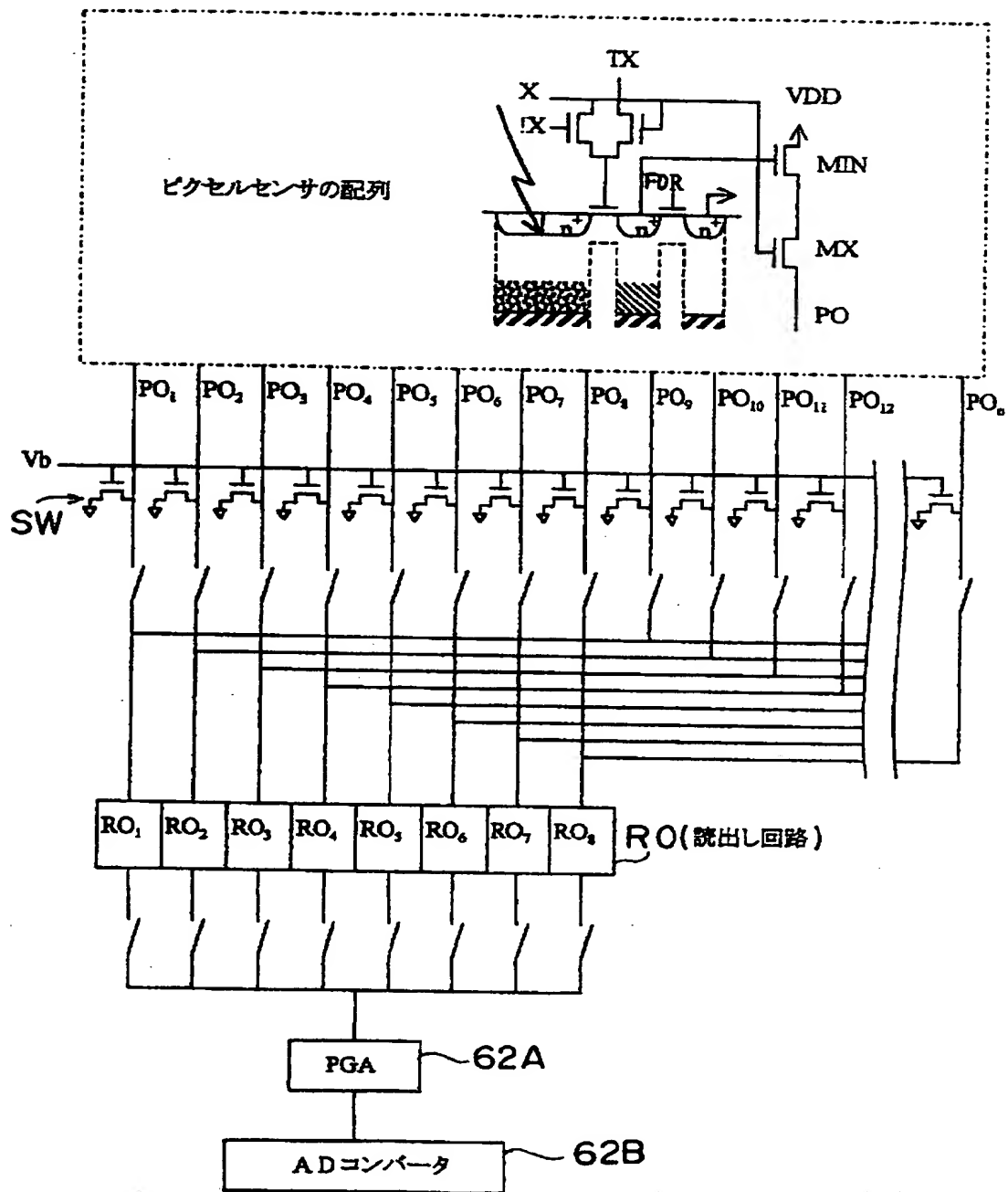
【図 1 3】



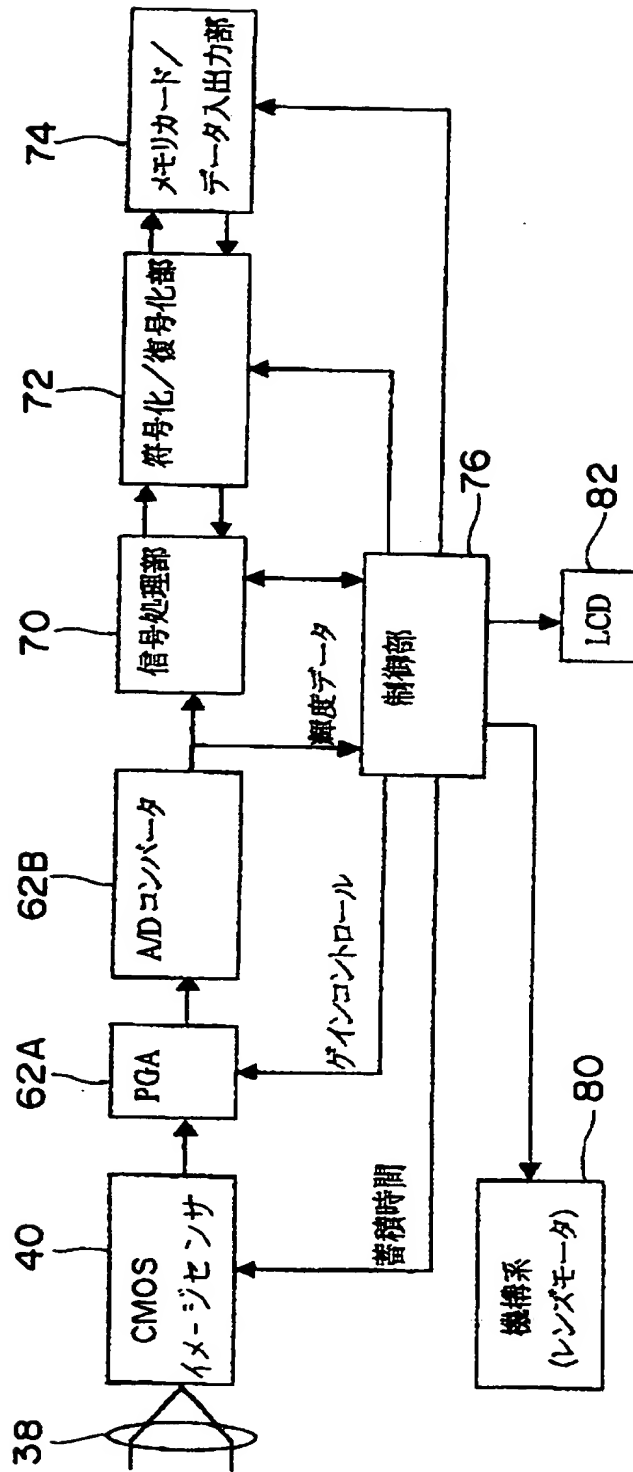
【图 1 4】



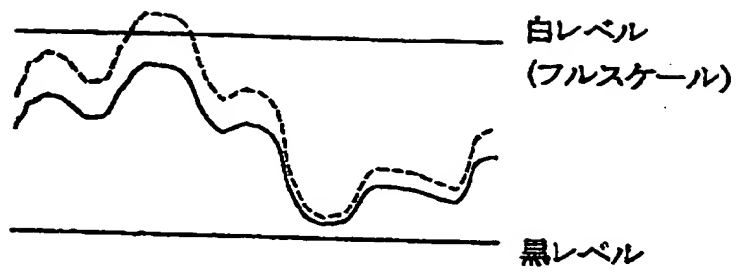
【図15】



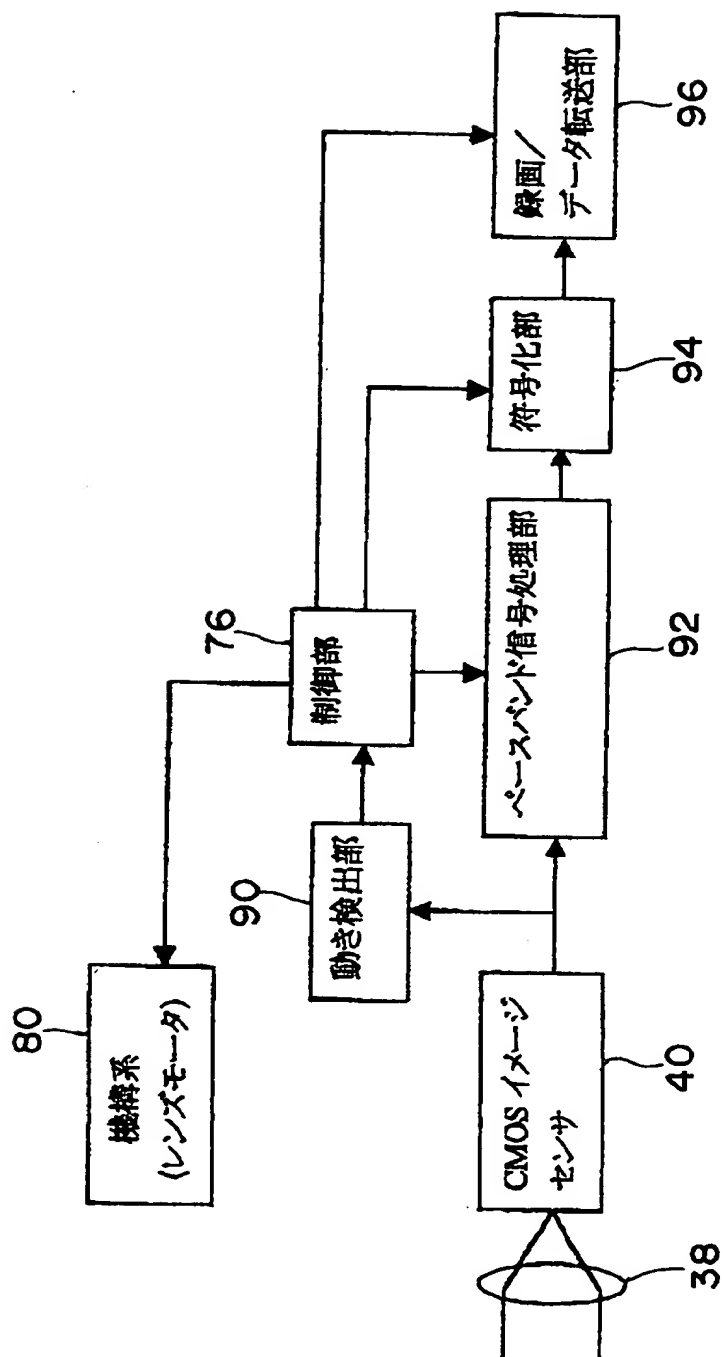
【図16】



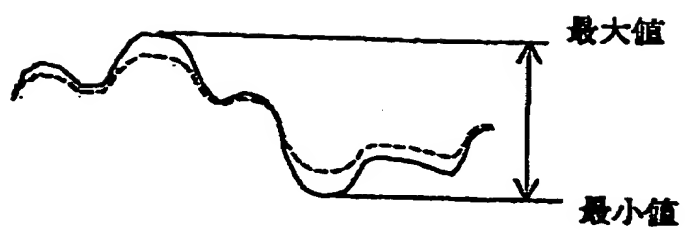
【図 1 7】



【図 1 8】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 D C T 等に必要な前処理回路やラスタスキャンに必要な大容量のフレームメモリを不要とする。

【解決手段】 ピクセルセンサ 1 0 が 2 次元状に配列された C M O S イメージセンサ 4 0 の各ピクセルセンサ内で、リセットノイズを低減した、受光量の絶対値に対応する信号を得て、該信号を、ブロックスキャンの順に出力する。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [000001258]

1. 変更年月日 1990年 8月13日

[変更理由] 新規登録

住 所 兵庫県神戸市中央区北本町通1丁目1番28号
氏 名 川崎製鉄株式会社